

Korean Publication No.; 10-2001-0052812 (Date of Publication; June 25, 2001)

Korean Application No.; 10-2000-7014134 (Filing Date; December 13, 2000)

International Application No.; PCT/JP1999/03506 (Int'l Filing Date; June 29, 1999)

International Publication No.; WO 00/01016 (Int'l Publication Date; January 6, 2000)

Title; Thin-Film Transistor and Method of Manufacture Thereof

Abstract

A method is provided to prevent the degradation and irregularity in performance of a transistor due to surface irregularities, particularly impurity segregation on the surface irregularities, of a thin polysilicon film formed by laser annealing. The method comprises (1) removing projections and impurity segregation from the surface of a laser-annealed thin polysilicon film chemically and mechanically, and (2) performing crystal growth by a heat treatment and smoothing the surface while removing the extraneous matter from the surface.

공개특허번호 2001-0052812

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. ⁶
H01L 29/786(11) 공개번호 2001-0052812
(43) 공개일자 2001년06월25일

(21) 출원번호	10-2000-7014134		
(22) 출원일자	2000년12월13일		
번역문제출일자	2000년12월13일		
(86) 국제출원번호	PCT/JP1999/03506	(87) 국제공개번호	WO 2000/01016
(86) 국제출원출원일자	1999년06월29일	(87) 국제공개일자	2000년01월06일
(81) 지정국	국내특허 : 중국, 대한민국, 미국,		

(30) 우선권주장	1998-183759 1998년06월30일 일본(JP)
(71) 출원인	마쓰시다덴기산교 가부시키가이샤 오리시타 요이찌 일본국 오사카후 가도마시 오아자 가도마 1006반지
(72) 발명자	쿠라마스케이자부로 일본국교토후교타나베시오스미가오카3-12-2 사사키아츠시 일본국오사카후토요나카시후타바초1-19-26 카와키타테츠오 일본국교토후교타나베시카스미사카3-5-10
(74) 대리인	특허법인 원전 임석재 특허법인 원전 민병호

심사청구 : 없음

(54) 박막 트랜지스터 및 그 제조방법

요약

레이저 아닐링에 의해 형성한 다결정 실리콘 박막 표면의 요철(凹凸)과, 특히 요철(凹凸)부에 탄생하는 혼입물의 편석부의 존재 등에 의한 트랜지스터 소자의 성능 저하, 품질의 편차 등을 감소시킨다. 이를 위하여,

- ① 레이저 아닐링 후의 다결정 실리콘 박막의 표면부의 돌기나 혼입물의 편석부군 화학적, 기계적으로 깎는다.
- ② 마찬가지로, 열처리에 의해 결정을 성장시키고, 아몰퍼 표면의 혼입물을 제거하면서 요철(凹凸)부군 평탄화한다.

대표도

도3

색인어

박막 트랜지스터(T F T), 접 게이트, 소스(source) 전극 막, 드레인 전극막, 플라즈마 화학 기상(氣相) 성장법(P C V D), 레이저 아닐링, 드라이 에칭, 웨트 에칭, 환성종(radical)

영세서

기술분야

본 발명은 박막 트랜지스터에 관한 것으로서, 특히 액정표시장치의 구동회로에 사용하는 박막 트랜지스터(소자)와 그 제조방법에 관한 것이다.

배경기술

현재, 박막 반도체소자인 박막 트랜지스터(TFT) 구동에 의한 액정표시장치는 노트북 PC나 카 네비게이션 등에 널리 이용되고 있으며, 앞으로 더욱 소형 경량화와 저코스트화가 요망되고 있다. 그리고 이 때문에, 화소(畫素)부의 구동회로로 표시부 그리고 그를 위한 화소부가 형성된 기판에 일체적으로 형성할 수 있는 다결정 실리콘 박막 트랜지스터의 개발, 그 방향으로의 고성능화가 추구하고 있다. 이하, 종래의 다결정 실리콘 박막 트랜지스터의 제조 방법에 대해서 도면을 참조하면서 설명한다.

도 1은 종래의 방법에 의해 제작된 탑 게이트로 분류되는 형의 박막 트랜지스터의 단면 구조도이다. 본 도에 있어서, 1은 석영 혹은 유리 등의 투명절연성 기판이다. 또한, 통상은 가격측면에서 유리가 사용된다. 2는, 다결정 실리콘 박막이다. 3은, 게이트 절연막이다. 4는, 게이트 전극이다. 5는, 층간 절연막이다. 6은 소스(source) 전극막이다. 7은, 드레인 전극막이다. 13은, 기초막이다. 또한, 이 기초막은 기판재료의 일부 성분이 다결정 실리콘 박막 중에 확산하는 것을 방지하는 목적으로 형성되나, 기판재질이나 기판의 처리방법에 따라서는 형성되지 않는 경우도 있다.

또 심재로는, 제품으로서의 액정표시장치의 표시면이나 그 주변부에 형성된 구동회로로부터 정해지는 배치에 따라, 이와 같은 화소(畫素)부의 소위치나 구동회로용의 박막 트랜지스터가 상하, 좌우방향으로 여러 행, 여러 열에 걸쳐 배열되고 있다. 단, 이것은 소위 주지(周知)기술이며, 또한 본 발명의 취지에 직접 관계가 없으므로 이 모양에 대한 도시는 생략한다.

이하에서는, 소위 주지기술이기는 하나, 본 발명의 취지에 직접 관계가 있으므로, 이 박막 트랜지스터의 제조방법에 대해서 대략 설명한다.

우선, 유리 등의 투명 절연성 기판(1)위에 기초 막으로 2산화규소 박막(13)을 플라즈마 화학기상(氣相) 성장법(P C V D) 혹은 스퍼터링(sputtering) 등으로 형성한다.

다음으로, 이 기판의 상 전면(上 全面)이나 소정 위치에 아모르파스(amorphous)상의 비정질 실리콘 박막을 P C V D, 화학기상 성장법(C V D) 혹은 스퍼터링에 의해 형성한다.

다음으로, 이 형성된 비정질 실리콘 박막에 엑시마 레이저를 쬔어 비정질의 실리콘 박막을 일단 용융시키고, 실리콘 고화(固化)시의 결정화를 이용하여 비교적 직경이 큰 입자로 되는 다결정 실리콘 박막(2)으로 한다(소위 레이저 어닐링).

다음으로, 이 다결정 실리콘 박막을 기판상의 트랜지스터(소자)의 배열로부터 정해지는 소정의 형상으로 가공한다. 즉, 패턴을 형성(Patterning)한다.

다음으로, 이 패턴이 형성된 다결정 실리콘 박막상에 게이트 절연막(3)을 상압(常壓) C V D법, P C V D법 혹은 스퍼터링법 등으로 형성하고, 더욱이 그 상부 소정 위치에 게이트 전극(4)을 형성한다.

다음으로, 층간 절연막(5)을 형성하고, 더욱이 층간 절연막의 각 트랜지스터의 소스(source) 전극 및 드레인 전극이 형성되는 부분에 컨택터 홈을 오프닝으로 형성한다.

그 다음에, 컨택터 홈을 이용하여 각 트랜지스터의 소스 전극(6), 드레인 전극(7)을 형성하여 다결정 실리콘 박막 트랜지스터를 제작한다.

이외에, 필요에 따라 기판 등의 세정, 소스 영역 및 드레인 영역에 소자로서의 기능 방위에 필요한 흡진로서 흡수를 이온, 즉 인(P)이나 붕소(B) 등의 불순물이온의 박아넣음이거나 그 후의 단그링(dangling)본드의 결합, 여분의 수소 소를 추출하기 위한 열처리, 더욱이 소자로서의 기능 방위에 필요한 배선 등이 구성되는 것은 물론이다. 단, 이들에 대해서도, 주지 기술이며, 또한 본 발명의 취지에 직접 관계가 없으므로 그 설명은 생략한다.

다음으로, 레이저 어닐링의 조사(照射) 조건에 대하여 설명한다.

박막 반도체의 소자로서의 특성을 향상시키는데에는, 결정 입경이 크고, 동시에 입경이 균일한 막인 것이 필요하다. 그런데, 레이저 어닐링으로 결정 입경을 크게하는데는 큰 에너지로 조사(照射)하거나 동일 개소를 여러번 조사하는 것이 효과적이거나, 그렇게 하면 역으로 입경의 균일성을 잃고, 박막 반도체 소자로서의 특성의 편차가 크게 되기도 하고, 또한 유리 기판에 열이 전달되어 유리의 변형이나 유리 성분의 박막 반도체내의 확산이 발생하고, 반

대로 반도체 소자의 기능이 연화한다. 또한, 참고적으로 기재하면, 박정표시 장치에 사용되는 유리 기판의 내연온도는 600℃이다.

이 때문에, 결정 임계의 크기와 균일성 및 유리 기판으로의 열에 의한 악영향을 전충한 조건으로 레이저를 조사(照射)하여 다결정화를 하고 있다.

이외에, 실리콘 막 두께 등을 고려하여 레이저법의 에너지 밀도를 최적한 것으로 하는 등의 연구도 진행되고 있다. 단, 이들에 대해서도 본 발명의 취지에 직접관계가 없으므로 그 설명을 생략한다.

그러나, 이 방법에서는 용융 재결정화에 있어서, 이하의 문제가 발생한다.

1) 도 2는, 역시마 레이저 아닝법에 의한 용융 재결정화로 형성된 다결정 실리콘 박막의 단면도이나, 본 도에 나타내는 것처럼, 다결정 실리콘 박막(2)의 표면, 특히 결정임계에는 돌기부(11)가 다수 발생하고, 더욱이 이 표면부에 트랜지스터 소자로서의 기능발휘에 본래 불필요한 용접인 혼입물(다른 기술분야에 있어서 「불순물」)(12), 예를 들면 공기중의 산소, 수분으로부터 수소, H E P A 필터에서 비산한 유리 조각으로부터의 불소(B) 등이 많이 혼입하게 되고 만다.

그런데 이 경우, 이들의 혼입물은 레이저 조사(照射)에 의한 고온에 따라 비정질 실리콘이 인단 용융하고, 그 후 고화하여 다결정화할 때에, 단순히 화학적, 물리적으로 불안정한 표면에 많이 위치하도록 된 뿐만 아니라, 고화에 따라 실리콘 하부로부터 상부의 표면에 편석하여 온다(내부보다 많이 모인다). 특히, 돌기부는 편석이 많다고 생각되어진다.

더구나, 그들 때문에 화학적으로 불안정한 상태로 되어 있다. 예를 들면, 산소라면 반도체의 실리콘과 반응하여 이산화규소로 되어 있는 것이 아니라, 대단히 복잡하고 불안정한 결합상태로 되어 있다.

또한, 참고적으로 기재한다면, 산소는 4족(族)의 규소, 탄소 등과는 1 대 1(예를 들면, 이산화탄소나 일산화규소)로도, 2 대 1(예를 들면, 탄소가스나 이산화규소)로도 화합물을 형성하는 등 일정한 조성으로 되지 않는다. 더욱이, 용융 직후의 고화와 함께 그 표면이라고 하는 특수한 조건이므로, 더 한층 복잡한 화합물로 된다.

또한, 반도체 박막의 재료로서, 순 실리콘이 아니고 용점이 저하하여 결정화하기 쉽고, 고 이동도(移動度)를 얻을 수 있는 등 여러가지 특징이 있으므로, 실리콘에 최대 30%의 게르마늄, 혹은 더욱이 최대 5%의 탄소를 혼합한 물질을 사용하도록 한 것도 현재 검토되고, 계속 개발되고 있으나, 이들의 경우에는 본래가 혼합물이므로, 특히 표면은 요철(凹凸)에 의한 불균일, 혼입물 뿐만 아니라 본래의 반도체 재료의 편석의 경향이 증대한다.

그런데, 홑 게이트형의 트랜지스터에 있어서는, 이 표면부분은 게이트 절연막과 접하는 부분이다. 이 때문에, 표면의 돌기에 의해 그 상부의 게이트 절연막의 절연내성에 악영향을 미친다. 또한, 상술한 이유에 의해 혼입물의 편석은, 게이트 절연막과의 계면부(界面部)를 불안정하게 한다. 그리고, 이들은 함께 소자로서의 박막 트랜지스터의 성능이나 신뢰성에 악영향을 준다. 또한, 반도체 소자로서의 성능 등의 편차의 원인으로 될 수도 있다.

다음으로, C-MOS 구조를 만들기 위해, PH_3 , B_2H_6 를 이용하여 소스영역, 채널영역에 이온도핑(doping)을 하고, 더욱이 그 활성화를 위한 열처리를 하나, 돌기가 있으면 이들의 불순물을 이온 주입의 균일성이 손상된다. 그리고 이것도 정성적(定性的)으로 TFT의 특성 편차를 초래한다.

2) 상술한 절충된 조사조건에서는, 다결정 실리콘은 박막 반도체 소자의 능동영역으로서의 특성의 균일성은 확보할 수 있으나, 전계(電界)효과 이동도 등의 전기적 특성은 단결정 실리콘 반도체 소자에 비교하여 작게 된다. 이 때문에, 장래의 액정표시 소자용으로서는 충분한 회로기능을 얻기 어렵다.

따라서, 레이저 아닝법후의 표면, 특히 게이트 전극부와의 계면(界面)에 돌기부가 없고, 혼입물의 편석도 없는, 혹은 표면이 안정한 상태의 다결정 실리콘막, 더 나아가서는 성능이 우수한 박막 반도체 소자의 개발이 바람직하다.

또한, 기판상에 다수 형성된 박막 반도체 소자의 균일성을 확보하면서, 개개의 소자의 전계(電界)효과 이동도 등의 전기적 특성이 우수한 박막 반도체 소자의 개발이 기대되고 있다.

도면의 간단한 설명

도 1은, 종래의 방법에 따라 제조된 다결정 실리콘 박막 트랜지스터 소자의 단면도이다.

도 2는, 종래의 레이저 아닝법에 의해 형성된 다결정 실리콘 박막의 표면상의 돌기나 혼입물의 편석을 개념적으로 나타낸 도이다.

도 3은, 본 발명의 실시예 1의 제조방법에 의해 제조된 다결정 실리콘 박막 트랜지스터의 단면도이다.

도 4는, 상기 실시예에 있어서 다결정 실리콘 박막 트랜지스터의 제조의 진전에 따라 단면 구조가 변화해 가는 모습을 나타내는 도이다.

도 5는, 본 발명의 실시예 2의 다결정 실리콘 박막 트랜지스터의 제조의 진전에 따른 단면 구조의 변화를 나타내는 도이다.

도 6은, 본 발명의 실시예 3의 제조방법으로 제조된 다결정 실리콘 박막 트랜지스터의 단면도이다.

도 7은, 상기 실시예에 있어서 다결정 실리콘 박막 트랜지스터의 제조의 진전에 따라 단면 구조가 변화해 가는 모습을 나타내는 도이다.

도 8은, 본 발명의 실시예 4의 제조방법으로 제조된 다결정 실리콘 박막 트랜지스터의 단면도이다.

도 9는, 본 발명의 실시예 5의 제조방법으로 제조된 다결정 실리콘 박막 트랜지스터의 단면도이다.

도 10은, 상기 실시예에 있어서 다결정 실리콘 박막 트랜지스터의 제조의 진전에 따라 단면 구조가 변화해 가는 모습을 나타내는 도이다.

도 11은, 본 발명의 실시예 5 및 실시예 6에 있어서 다결정 실리콘 박막 트랜지스터의 제조 성능시험의 효과를 나타내는 도이다.

도 12는, 본 발명의 실시예 6에 있어서 다결정 실리콘 박막 트랜지스터의 열처리에 사용하는 장치의 도이다.

도 13은, 상기 실시예 6의 제조방법에 따라 제조한 버팀 게이트형 박막 트랜지스터의 단면 구조도이다.

[도면 부호의 설명]

1 ... 투명 절연성 기판 2 ... 다결정 실리콘 박막

3 ... 게이트 절연막 4 ... 게이트 전극막

5 ... 층간 절연막 6 ... 소스(source) 전극(막)

61 ... 소스 전극 하부의 티타늄 7 ... 드레인 전극(막)

71 ... 드레인 전극 하부의 티타늄 8 ... 고 경도의 박막

10 ... 트랜지스터가 형성된 영역 11 ... 다결정 실리콘 박막의 돌기부

110 ... 다결정 실리콘 박막의 결정입계의 부품여 오름

12 ... 표면부의(편석한) 불순물 13 ... 기초막

14 ... 평탄화 막 15 ... 비정질 실리콘 박막

16 ... 다결정 실리콘의 결정입계 20 ... 벤자

21 ... 고주파 여기(勵起)전원 22 ... 고주파 전극판

23 ... 고주파 전극판 24 ... 히터

25 ... 기판 홀더 26 ... 메시(mesh) 전극

발명의 상세한 설명

(발명의 개시)

이상의 목적을 달성하기 위해, 본 발명중의 제1의 발명군은, 틱 게이트형의 박막 트랜지스터(소자)를 제조함에 있어서, 기판상에 형성된 비정질 반도체 박막, 특히 실리콘이나 이것을 주성분으로 하는 박막에 레이저 광을 조사하여 다결정화를 하는 다결정 반도체 박막을 형성한 후, 이 다결정 반도체 박막을 활성인 반응성 가스에 쬔어 표면층을 에칭제거하고, 이것에 의해 다결정 반도체 박막의 표면을 평탄화하고, 아울러 표면의 혼입물이 편석한 부분을 제거하도록 하고 있다. 더욱이, 반응성 가스의 내용이나 반응성 가스에 의한 에칭시의 처리에도 연구에 열중하고 있다. 그리고 이에 따라 고 이동도와 고 신뢰성의 박막 반도체 소자를 얻을 수 있다.

또한, 제2의 발명군은, 기판상에 틱 게이트형의 트랜지스터를 형성할 때에 비정질 반도체 박막, 특히 실리콘이나 이것을 주성분으로 하는 박막을 형성하고, 이것을 레이저 아닐링에 의해 다결정화한 하는 것은 제1의 발명군과 공통한다. 그러나, 본 발명군에서는 다결정 반도체 박막의 표면의 평탄화, 표면의 혼입물이 편석한 부분의 제거에 기계적 혹은 여기에 덧붙여서 화학적인 연마라고 하는 수단을 채용하는데 특징이 있다.

더욱이, 기계적, 화학적인 연마에 의해 평탄화하고, 혼입물을 제거하기 위해 기판상에 고 경도의 세라믹계 박막을 형성하며, 아울러 이 박막을 적절한 반도체 박막 형성이나 기판의 강도 유지에도 사용하는 것으로 하고 있다.

또한, 이 때문에 이 세라믹계 박막의 재질이나 막 두께, 더욱이는 공학적, 기계적 성질에도 연구에 열중하고 있다. 그리고, 이에 따라 고 이동도와 고 신뢰성의 박막 반도체 소자를 얻을 수 있다.

또한, 제3의 발명군은, 기판상에 비정질 반도체 박막, 특히 실리콘이나 이것을 주성분으로 하는 박막을 형성하고, 이것을 레이저 아닐링에 의해 다결정화한 하는 것은 앞의 2개의 발명군과 공통한다. 그러나, 본 발명군에서는 표면의 평탄화, 더욱이는 다결정 반도체의 보다 큰 결정으로의 성장, 그리고 이들에 병행하여 표면에 편석한 혼입물의 제거를 위해서, 550℃ 이상의 고온하에서 열처리할 수 반하며, 이 때의 분위기 가스에 연구를 열심히 하고 있는 점에 특징이 있다.

또한, 본 발명군에 있어서도, 틱 게이트형의 트랜지스터에 있어서, 다결정 실리콘 박막의 표면부를 평탄화하고, 혼입물이 편석한 부분을 제거하며, 이에 따라 게이트 절연막과의 양호한 계면(界面)이 얻어지고, 더욱이는 고 이동도와 고 신뢰성의 박막 반도체 소자를 얻을 수 있는 것은, 앞 2개의 발명군과 마찬가지로, 결정의 성장을 도모한다고 하는 면에서는, 버텀 게이트형의 트랜지스터로의 응용도 가능하다고 하는 점에서 다소 다른 면도 있다.

실시예

(발명을 실시하기 위한 최적의 형태)이하, 본 발명을 그 실시예에 기초하여 설명한다.

(실시예 1)본 실시예는 제1의 발명군에 관한 것으로서, 반응성 가스에 의한 다결정 실리콘 박막 표면의 평탄화와 혼입물이 편석한 부분의 제거에 관한 것이다.

도 3은, 본 발명의 실시예 1의 박막 트랜지스터의 제조방법에 의해 제작된 박막 트랜지스터의 단면도이다. 또한, 도 4 는 그 주요한 제조공정에 있어서 각 상태에서의 단면도이다.

아들 도에 있어서, 도 1, 도 2와 같은 부분에는 동일한 부호를 붙이고 있다. 또한, 이것은 다른 실시예에서도 같다. 1 은 투명 절연성 기판이며, 본 실시예에서는 코닝사의 1737 유리 기판을 이용했다. 2 는 다결정 실리콘 박막이다. 3은, 게이트 절연막이며, 본 실시예에서는 P C V D법에 의해 이산화규소 박막을 형성했다. 4 는 게이트 전극이며, 본 실시예에서는 내연성과 내식성이 우수한 탄탈(Ta)제 박막이다. 5 는 층간 전연막이며, 본 실시예에서는 상압(常壓) 화학기상(氣相) 성장법에 의해 이산화규소 박막을 형성하였다. 6 은 소스 전극이며, 7 은 드레인 전극이고, 본 실시예에서는 양 전극은 모두 상부는 전기 저항이 낮은 알루미늄, 하부(61),(71)는, 실리콘과의 접촉부에서 실리사이드를 형성하기 위해 전기적 접촉성이 우수한 티타늄의 2층 구성으로 하고, 스페터링으로 막을 제작했다. 13 은 기층막이며, 본 실시예에서는 P C V D법에 의해 이산화규소 박막을 제작했다. 15 는 비정질 실리콘 박막이며, 본 실시예에는 P C V D법으로 형성했다.

이하, 도 4를 참조하면서 이 박막 반도체 소자의 제조방법을 설명한다.

(a) 무명 전연성 기판(1)위에 기초 막(13)을 형성하고, 더욱이 그 위에 비정질 실리콘 박막(15)을 형성한다.

(b) 비정질 실리콘 박막(15)을 포토리소그래피 프로세스와 드라이 에칭 프로세스를 이용하여 기판상의 반도체 소자의 배열로부터 정해지는 소정의 패턴으로 가공한다. 또한, 여기에서도 웨트(wet) 에칭이 아닌, 드라이(dry) 에칭으로 한 것은, 채널영역 깊이가 $1\mu\text{m} \sim 10\mu\text{m}$ 정도의 치수인 반도체 소자의 가공에는, 현시점에서는, 정도(精度)를 얻을 수 있는 점이나 일체의 선택적 에칭이 아닌 점등에서 후자가 우수하기 때문이다.

(c) 비정질 실리콘 박막(15)에, 약 0.5 Torr의 수소가스 분위기하에서, 예를 들면 엑시마 레이저로서 XeCl(파장 308nm)을 이용한 레이저의 조사에 따라, 용융, 고화시키는 것(소위 레이저 어닐링)에 의해 20~200nm 두께 정도, 역정표시 장치의 용도나 사용하는 역정의 타입 등에 의해 다소의 상이는 있으나, 보다 바람직하게는 30~100nm 두께 정도의 다결정 실리콘 박막(2)을 형성한다. 그 결과, 다결정 실리콘 박막의 상부 표면에는 많은 돌기(11)가 생기고, 또한 표면, 특히 돌기부에는 혼입물(12)이 편석한다. 또한, 이 혼입물의 실리콘 박막으로의 혼입은, 선행하는 각종의 처리를 가능한한 진공중에서 행하고, 기판을 세정하는 등 여러가지 대책을 실시해도, 현시점에서는 완전히 방지하는 것은 곤란하다.

(d) 진공중에 있어서 분화탄소(CF_4)와 산소(O_2)의 혼합가스를 마이크로 플라즈마 에칭 장치에 이용하여 플라즈마 여기(勵起)하고, 높은 수치로 대전(帶電)한 활성종(活性種)만을 이 다결정 실리콘 박막 표면으로 유도한다. 그리고, 다결정 실리콘 박막 표면의 일부, 특히 돌기부를 활성된 반응성 가스에 의해 에칭제거하여 산소, 수소, 탄소 등의 혼입물이 많은 영역과 돌기를 작게 하여 표면의 평탄화를 한다.

또한, 참고적으로 기재하면, 표면의 돌기부, 그리고 특히 혼입물이 편석한 부분은, 그렇지 않은 부분과 비교하여 화학적으로 불안정한 상태로 되어 있으므로, 에칭을 할때, 반응성 가스에 의해 제거되기 쉽다. 특히, 도 2에는 나타나 있지 않으나, 개념적으로는 피뢰침과 같이, 그리고 게이트 절연막의 절연내성에 큰 악영향을 준다고 여겨지는 침상의 돌기 만큼 그 체적에 대한 표면적의 비가 크기 때문에, 이면에서도 반응 제거되기 쉽다. 이 때문에, 만약 자연적으로 다결정 실리콘 박막의 평면화가 이루어지게 된다.

(e) 표면의 재 오염방지를 위해, 진공을 유지한 채로 별도의 챔버에 기판을 옮기고, 다결정 실리콘 박막 표면에 P C V D법에 의해 이산화규소 박막을 게이트 절연막으로서 형성한다.

이 후, 종래와 마찬가지로 방법으로 게이트 전극(4), 층간 절연막(5) 및 소스 전극(6), 드레인 전극(7)을 형성하여 도 3에 나타나는 것과 같은 구조의 박막 트랜지스터를 제조한다.

이 박막 트랜지스터와 종래의 방법으로 제조한 박막 트랜지스터의 특성을 비교했다. 그 결과, 종래의 방법으로 제조한 것은 이동도가 약 $120\text{cm}^2/\text{V}\cdot\text{s}$

대해서, 본 실시예의 것은 약 $200\text{cm}^2/\text{V}\cdot\text{s}$ 로 특성이 크게 향상된 것을 알 수 있었다.

또한, 게이트 전극에 30V의 DC를 인가(印加)하여 T F T 특성의 열화를 측정하는 B T 시험에서는, 85°C 에서의 가속시험의 결과, 용상 보충조건(60°C)에서 약 2자리수의 신뢰성 향상을 보여주었다.

더욱이, T F T로서의 절연 내성도 향상했다.

이것은, 게이트 전극 바로 밑의 다결정 실리콘 박막의 표면의 불순물이 적고 평탄하게 되었다는 것, 더욱이 게이트 절연막의 형성을 에칭후 진공을 유지한 상태에서 형성하였으므로, 오염물질에 끼여지는 일없이 깨끗한 계면이 얻어진 것에 의한 것이라고 판단된다.

또한, 실리콘 막 표면에 불순물이 없으므로, 소스 전극과 드레인 전극의 하부 티타늄과 실리콘의 반응에 의한 실리콘 사이드의 형성이 순조롭게 되는 것도, 정성적(定性的)으로 성능향상으로 연결된 것이라고 판단된다.

또한, 본 실시예에서는, 다결정화의 전에 비정질 실리콘 박막을 패턴형성하였으나, 다결정화 후에 패턴형성을 해도 좋은 것은 물론이다.

또한, 다결정 실리콘 박막의 에칭으로는 최초로부터 플라즈마 여기(勵起)된 활성종(種)을 이용했으나, 최초는 이온의 효과도 부가한 반응성 이온 에칭을 이용하고, 그 후 플라즈마 여기된 활성종만으로도 에칭을 해도 좋다. 단, 이 때에는, 최종단계의 에칭에 있어서는, 이온 충격에 의해 폴리 실리콘 막으로의 손상을 없애기 위해, 플라즈마 여기에 의해 생성된 활성종(라디칼)만을 이용하는 것이 바람직하다.

또한, 활성종의 생성은, 자외선 조사(照射) 등 다른 수단이라도 좋은 것은 물론이다.

더욱이, 본 실시예에서는 CF_4 와 O_2 가스의 혼합가스로 에칭을 했으나, 제조시설의 환경조건, 더 나아가 흡입률의 여하, 더욱이는 반도체의 재료가 실리콘·게르마늄, 실리콘·게르마늄·탄소의 경우 등, 조건에 따라서는 다른 조성 비나 종류의 가스를 이용해도 좋은 것은 물론이다.

더욱이, 장래의 기술의 발달에 의해, 다결정 실리콘 표면의 돌기부의 제거에 웨트 에칭이 개량되거나, 더 큰 에칭 수단이 개발된 경우에는, 그들의 수단을 이용해도 좋은 것도 물론이다.

(실시예 2)본 실시예도 제 1의 발명군에 속한다. 본 실시예는, 수지막을 사용한 다결정 실리콘 박막의 평탄화에 관한 것이다.

이하, 도 5를 참조하면서, 본 실시예의 박막 트랜지스터의 제조방법을 설명한다.

(a) 앞의 실시예 1와 마찬가지로, 투명 절연성 기판(1) 상에 기초 막 (13)을 형성하고, 더욱이 그 위에 비정질 실리콘 박막(15)을 형성한다.

(b) 마찬가지로, 비정질 실리콘 박막(15)에 엑시마 레이저를 조사하여 다결정 실리콘 박막(2)을 얻는다. 그 결과, 다결정 실리콘 박막의 표면에는 돌기(11)나 흡입률의 편석(12)이 생긴다.

(c) 다결정 실리콘 박막(2)상에, 본질적으로 평탄한 막이 얻어지는 스피ن 코팅법에 의해 폴리메치 메타아크릴 레이트(P M M A)의 평탄화 막을 형성한다.

(d) 진공중에 있어서 불화탄소(CF_4) 약 75%와 수소(H_2) 약 25%의 혼합가스를 이용하여 반응성 이온 에칭을 한다. 이 경우, P M M A와 다결정 실리콘 박막은 그 에칭 속도가 같으므로, 다결정 실리콘 박막의 전면(全面)이 노출될때까지 에칭을 하면, 저절로 다결정 실리콘 박막의 정상부가 깎여 평탄한 표면이 얻어진다. 또한, 동일하게 표면의 흡입률의 편석부도 제거된다.

(e) 평탄화한 다결정 실리콘 박막(2)을 포토리소그래피 프로세스와 에칭 프로세스에 의해 소정의 패턴형상으로 가공한다.

이 후, 종래의 방법과 마찬가지로 게이트 절연막을 P C V D법에 의해 형성하고, 게이트 전극막, 층간 절연막 및 소스 전극막과 드레인 전극막을 형성하여 앞의 실시예와 같은 구조의 박막 트랜지스터를 제작한다.

이상의 방법으로 제조한 박막 트랜지스터는, 다결정화 실리콘 박막의 평탄화가 양호하므로, 이동도가 약 $250cm^2/Vs$ 정도와, 특성이 더욱 크게 향상함과 동시에, 종래 방식의 박막 트랜지스터와 비교하여 약 200배 정도의 신뢰성의 개선도 볼 수 있었다.

또한, 본 실시예에서는, 평탄화 막으로서 P M M A를 이용했으나, 어느 것도 이것에 한정되는 것은 아니다. 즉, 예를 들면 포토레지스트를 이용하더라도 에칭가스를 적절하게 선택하면 같은 효과를 얻을 수 있다.

또한, 평탄화 막 물질의 에칭 속도도, 다결정 실리콘 박막 표면을 평탄화하는 것이 목적이므로, 엄밀히 다결정 실리콘과 같거나 혹은 거의 같은($\pm 5\%$, 바람직하게는 $\pm 1\%$) 필요는 없고, 에칭의 정지에 상응하는 배려만 한다면, $\pm 20\%$ 정도의 차이가 있어도 좋은 것은 물론이다.

또한, 본 실시예에서는, 에칭의 대상이 되는 것은 평탄하고 균일한 P M M A 막이며, 다결정 실리콘은 에칭의 최종 단계에서 제거되는 것으로 된다. 이 때문에, 웨트 에칭이라도 다결정 실리콘의 입계가 선택적으로 에칭되는 경우는 드물고, 더욱이는 에칭의 제어에 다소의 주의가 필요하기는 하나, 현재의 기술이라도 웨트 에칭이 가능하다.

또한, 실리콘 이외의 반도체 재료의 경우라도, 이 에칭 속도에 따른 적절한 평탄화 막 재료의 선택이 이루어지는 것은 물론이다.

또한, 동일하게, 다결정 실리콘 박막의 돌기가 노출한 때까지 반응성 이온으로 에칭을 하고, 그 후 프라즈마 여기(勵起)된 환성증(糲)만으로 에칭을 했으나, 시간의 제약을 생각한다면 최초부터 프라즈마 여기된 환성증만으로도 에칭도 가능하다. 단, 다결정 실리콘 박막의 에칭의 적어도 최종단계에 있어서는, 프라즈마 여기나 자외선의 조사에 의해 생성된 환성증(레디컬)만을 이용하는 것이 바람직하다.

더욱이, 평탄화공의 물질의 도포도, 점성이 낮은 물질의 성질이나 종류에 따라서는 스프인코드에 의하지 않고 다른 방법, 예를 들면 단순한 도포라도 좋은 것은 물론이다.

(실시예 3)본 실시예는 제 2의 발명군에 관한 것으로서, 고 경도 재료의 박막을 사용하여 다결정 실리콘 박막을

평탄화하는 것이다.

이하, 도 6 및 도 7을 참조하면서, 본 실시예의 박막 반도체의 제조방법에 대하여 설명한다.

도 6은, 본 실시예의 박막 트랜지스터소자의 단면도이다.

도 7은, 이 박막 트랜지스터의 제조공정의 진전에 따른 단면 변화의 모습을 나타내는 도이다.

아래 도에 있어서, 8은 질화규소로 되는 고 경도의 박막이다.

이하, 도 7을 참조하면서 본 실시예의 박막 반도체 소자의 제조방법을 상세히 설명한다.

(a) 표면에 기초 막(13)이 형성된 무영 접연성 기판(코-닝사 1737 유리 기판)(1)의 상 전면(上表面)에 질화규소 막을 형성한다. 본 실시예에서는 고 경도의 박막(8)으로서의 질화규소막을, P C V D법에 의해 SiH

4 , N_2 및 NH_3 의 혼합가스를 이용하여 약 $350^\circ C$ 의 온도에서, 약 $0.1\mu m$ 의 두께로 형성한다. 또한, 이 막의 경도는 마이크로 비커스 경도로 약 2000이며, 다결정 실리콘의 경도는 약 850 이었다.

(b) 기판상의 트랜지스터를 형성하는 것으로 되는 영역에 대해서는, 그 부분에 형성된 이 고 경도의 박막(8)을 포토리소 프로세스와 드라이 에칭에 의해 제거한다. 부호 10으로 나타내는 영역이 트랜지스터가 형성되는 영역이다.

(c) 고 경도의 박막(8)이 선택적으로 형성된 무영 접연성 기판(1)의 상 전면(上表面)에 비정질 실리콘 박막을 형성하고, 이 비정질 실리콘 박막에 레이저 광을 조사하여 용융, 고화시켜 다결정화를 하여 다결정 실리콘 박막(2)을 형성한다. 이때, 레이저 광의 조사에 따른 용융, 고화에 의해 다결정 실리콘 박막 표면에는 많은 돌기(11)나 혼입물의 편석부(12)가 발생하게 된다.

(d) 이 다결정 실리콘 박막을 기판마다, 소위 C M P(Chemical Mechanical Polishing)으로 연마한다. 즉, $5\sim 100nm$ 입경의 코로이탄 실리카 등을 $5\sim 10\%$ 순수(純水)에 혼합하고, 더욱이 암모니아산 ph 12 정도가 되도록 녹인 연마액으로, 실리카를 기계적, 화학적으로 연마하는 것이다.

그런데, 이 연마에 의한 평탄화에서, 질화규소는 그 경도가 극히 크므로, 질화규소 막이 노출한 시점에서 다결정 실리콘 막부(膜部)도 병행하여 연마의 진행이 거의 정지한다. 그 결과, 다결정 실리콘 박막의 두께는 질화규소 막의 두께와 거의 같다고 하기 보다는 신용상 같은 두께로 된다. 그런데, 이 고 경도의 질화규소 막의 두께는, 스페터링이나 프라즈마 화학기상 성장법에 의해 고정도(高精度)로 형성 가능하다. 이 때문에, 다결정 실리콘 박막의 연마후의 막 두께도 고정도로 할 수 있게 된다. 또한, 이 때문에 이 질화규소 막의 두께도 통상은 $20\sim 200nm$, 바람직하게는 $30\sim 100nm$ 정도로 된다.

더욱이, 근래 반도체의 재료로서 실리콘중에 주기율표에서 그 상하에 위치하는 탄소, 게르마늄을 함유시키는 것도 시도되고 있으나, 이 경우에는 혼합물로 되므로 반도체 박막의 표면에 순 실리콘의 경우에 비교하여 큰 요철이 발생하는 경우가 있으나, 이 경우에도 최적의 입경, ph 등에 다소의 고려가 필요하기는 하지만, 문제 없이 평탄동시에 균질화 할 수 있게 된다.

또한, 동시에 기판상에서의 다결정 실리콘 박막의 트랜지스터 소자의 배열로부터 정해지는 소정의 패턴형성도 완료하는 것으로 된다.

이 후, 기판을 세정하고, 다결정 실리콘 박막상에 게이트 절연막을 형성한 후, 개개의 반도체 소자마다 소스 전극 및 드레인 전극과의 컨택트 환을 에칭에 의해 형성하고, 게이트 전극, 소스 전극 및 드레인 전극을 형성하는 것으로 다결정 실리콘 박막 트랜지스터를 형성한다.

도 6에 나타내는 것처럼, 이상의 방법에 의해 제조된 박막 트랜지스터는, 다결정 실리콘 박막(2)의 표면이 평탄하며, 더구나 혼입물도 제거되어 있다. 이 때문에, 그 위에 형성되어 있는 게이트 절연막과의 계면은 극히 양호한 상태로 할 수가 있고, 그 결과 박막 트랜지스터의 성능이 크게 향상되게 된다.

이상과 같이 하여 제작한 본 실시예의 다결정 실리콘 박막 트랜지스터와, 종래의 방법에 의해 제작한 다결정 실리콘 박막 트랜지스터의 특성을 비교했다. 트랜지스터의 채널부의 폭과 길이 $W/L=12/12\mu m$, $V_d=6V$ 의 경우, 종래 방식으로는 이동도가 $120cm^2/Vs$ 이었다. 한편, 본 실시예의 트랜지스터의 경우에는 $190cm^2/Vs$ 이었다.

$2/V_s$ 이었다.

또한, 종래의 다결정 실리콘 박막 트랜지스터에 비교하여 약 10배 정도 연화(劣化)속도가 낮고, 신뢰성이 우수하다는 것이 확인되었다.

다음으로, 다결정 실리콘 박막(2)의 막 두께가 고 경도의 박막보다도 두껍게 되도록 비정질 실리콘 막을 두껍게 형성해도 좋다. 이에 따라, 다결정 실리콘 박막(2)의 표면에 편석한 혼입물을 연마에 의해 확실히 제거하는 것으로 된다. 더욱이, 비정질 실리콘 막을 다결정화 할 때, 막두께가 크므로 그 만큼 다결정 실리콘 막의 결정립이 크게 된다. 이 때문에 이동도가 더욱 높게 된다.

또한, 반도체의 재료에서, 본 실시예에서는 비정질 실리콘 박막을 이용했으나, 더욱이 고 이동도를 실현하는 등을 위하여 실리콘중에 최대 30% 게르마늄을 함유하는 실리콘-게르마늄 화합물 박막을 이용해도 좋다.

또한, 더욱이 실리콘, 게르마늄중에 최대 5%급 함유하는 실리콘-게르마늄-탄소화합물 박막을 이용해도 좋다.

또한, 고 경도의 박막으로서 산화질화규소 막이나 산화알루미늄 막 혹은 산화티타늄 막 등을 이용해도 좋다. 또한, 이층의 경우 본 실시예와 같이 두명막이므로, 연마후도 이 절연막을 제거할 필요가 없어, 공정의 간략화가 실현된다. 더욱이, 휴대형 기기용의 표시장치에 사용하는 경우, 반도체 박막을 형성하는 유리기판은 편히 얇게 되나, 반도체 박막으로의 P,B 등의 불순물 이온 주입 후의 당그린(dangling)본드의 결함등의 열처리할 때, 본래가 고 경도의 세라믹이므로 얇은 유리기판의 연에 의한 비틀림 변형의 방지에 다소나마 기여하게 된다.

또한, 연마는 고 경도 물질막이나 반도체의 재료에 따라서는, 폴리싱 등 순기계적인 방법이라도 좋다.

물론, 투명막이 아니고 금속박막이나 금속간 화합물 박막, 탄화물 박막 등의 고 경도 박막으로 하고, 연마후 오팅 제거하도록 해도 좋다.

물론, 반사형의 표시장치 경우에는 절연성만 있으면 제기할 필요가 없다.

(실시예 4)본 실시예는, 앞의 실시예 3과 비교한 경우, 투명 절연성 기판(1) 상면의 기초 막으로서 이산화규소 대신에 고 경도 물질인 산화알루미늄의 막(81)을 형성한 것이 다르다.

이 때문에, 도 7의 (d)에 상당하는 도 8에서 명료하게 나타나는 바와 같이, 고 경도 물질의 박막은 다결정 실리콘 박막이 없는 영역에서는, 산화알루미늄 막(81)과 질화규소 막(8)의 2단으로 되어 있다.

이에 따라, 불순물 이온주입 후의 열처리에 있어서, 600℃를 다소 초과하는 고온으로 하여도, 유리 기판의 비틀림 발생이 방지된다. 이 때문에, 박막 트랜지스터의 전계(電界) 이동도가 향상한다.

(실시예 5)본 실시예는, 제 3의 발명군에 관한 것으로서, 특별한 분위기 중에서의 열처리에 관한 것이다.

도 9는, 본 실시예의 제조방법에 의해 제조된 박막 트랜지스터의 단면 구성도이다. 또한, 도 10은, 그 주요한 제작 공정에 있어서 반제품(半製品)으로서의 박막 트랜지스터의 단면을 나타내는 도이다.

이하, 도 10을 참조하면서 본 실시예의 제조방법에 대해서 상세히 설명한다.

(a) 투명 절연성 기판(1)상에 기초 막(13)을 형성하고, 더욱이 그 위에 비정질 실리콘 박막(15)을 형성한다.

(b) 비정질 실리콘 박막(15)에 엑시마 레이저 광을 조사하여 다결정화를 행하여 다결정 실리콘 박막(2)을 형성한다. 이 다결정화는, 예를 들면 엑시마 레이저로서 XeCl(파장 308nm)을 이용한 레이저 광을 사용하여, 수소가스 혹은 질소가스 또는 진공중에서 행한다.

그 결과, 다결정 실리콘 박막에는 결정입계(16)의 표면에서 부종(부풀어 오름)(110)을 나타내는 구조를 볼 수 있다.

(c) 이 다결정 실리콘 박막(2)을 소정의 패턴으로 포토리소와 오팅 프로세스에 의해 가공한다.

이와 같은 다결정 실리콘 박막(2)은 진공 열처리로에 넣고, 유리기판의 내 변형성으로 정해지는 상한인 600℃에서 1시간 열처리한다. 열처리 전후의 다결정 실리콘 박막을 라만 분광분석(分光分析)에 의해 평가한 결과도 도 11에 나타낸다. 본 도에 있어서, 1은 레이저에 의해 다결정화 한 직후의 막이며, 2는 열처리한 후의 막이다.

도에서 알 수 있듯이, 열처리에 의해 피크 강도가 크게 되고, 동시에 피크 위치가 고 파수(波數)측으로 시프트하고 있다. 이것은, 열처리에 의해 단결정 실리콘의 피크 위치인 520cm

기에 근접하고 있는 것으로부터 막전체의 열변형이 완화된 것 및 피크 강도가 크게 되어 있다는 것으로부터 결정 성장이 발생한 것을 나타내고 있으며, 본 실시예의 효과를 확인할 수 있었다.

도 10의 (d)에 이와 같은 결과를 모식적으로 나타낸다. 도 10의 (c)와 비교한 경우, 결정의 성장에 따라 입계(16)의 수는 감소하고, 동시에 등기도 작게 되어 있다.

(e) 이 후, 게이트 절연막으로서 이산화규소 박막(3)을 P C V D법에 의해 형성한다.

이상과 같이 하여 게이트 절연막을 형성한 후, 종래와 같은 방법으로 게이트 전극(4), 증간 절연막(5) 및 소스 전극(6), 드레인 전극(7)을 형성하여, 도 9에 나타내는 것처럼 박막 트랜지스터를 제조한다.

이 박막 트랜지스터의 특성에서, 이동도는 약 $220\text{cm}^2/\text{V}\cdot\text{s}$, 역치전압(V_{th})은 2 V이었다. 한편, 종래방법으로 제조한 것은, 이동도가 $120\text{cm}^2/\text{V}\cdot\text{s}$, V_{th} 가 3 V였다.

또한, 신뢰성에 대해서 동일조건으로 비교했으나, 본 발명의 것은 종래 것에 대해 약 2자리수의 개선이 보여졌다.

이들은, 주로 다결정 실리콘 박막의 열변형의 감소와 결정립 성장에 따른 입계가 작게 되고, 반도체로서의 막질이 향상한 것, 기타 반도체 표면의 입계부가 부잡어 오르는 것도 작게 되고, 게이트 전극 하면의 게이트나 절연막의 양호하고, 균일한 접촉이 행하여진 것, 불순물 주입의 균일성도 양호하게 되는 것에 의한 것이라고 여겨진다.

또한, 본 실시예에서는 600℃, 진공 분위기에서 1시간의 열처리를 했으나, 수소를 포함하는 불활성가스 분위기 중에서 열처리할 하면, 표면의 산화물, 특히 불안정한 산화물이 복원되고, 보다 다결정 실리콘의 막질이 개선되므로, 수소를 포함하는 불활성가스의 수배(手配), 준비, 관리등이 필요하게는 되나, 그와 같이 하는 것이 보다 바람직하다.

또한, 본 실시예에서는 다결정 실리콘 박막을 소정의 패턴으로 가공한 후 열처리한 했으나, 역으로 열처리 후에 소정의 패턴으로 가공해도 좋은 것은 물론이다.

(실시예 6)본 실시예도 제 3의 발명군에 관한 것이다.

이하, 본 발명의 실시예 6의 박막 트랜지스터의 제조방법에 대해서 설명한다.

또한, 본 실시예는, 앞의 실시예 5와 기본적으로는 거의 같으므로, 앞의 실시예의 설명에서 사용한 도 10을 사용하여 설명한다.

(a) 앞의 실시예 5와 동일하게 투명 절연성 기판(1)에 기초 막으로서 P C V D법에 의해 이산화규소 박막을 형성한 후, 그 상면에 비정질 실리콘 박막을 형성한다.

(b) 동일하게, 비정질 실리콘 박막에 엑시마 레이저를 조사하여 다결정화를 한다.

이 때의 조사 등의 조건에서, 다결정 실리콘 박막의 결정입경을 크게 하면서, 그 입경의 편차나 표면의 요철(凹凸)을 작게하므로, 비정질 실리콘 박막의 두께나 레이저 조사 분위기 등을 최적한 것으로 한다.

(c) 다결정 실리콘 박막을 소정 형상으로 패턴가공한 후, 도 12에 나타나는 것처럼 고온가열과 플라즈마 생성 가능한 장치로 열처리한다.

본 도에 있어서, 20은 석영제의 뱀자(진공용기)이다. 21은 플라즈마 여기(勵起) 전원이며, 본 실시예에서는 13.56MH

z를 이용했다. 22 및 23은 고주파 전극판이다. 24는 가열용 히터이다. 25는 기판 홀더이다. 26은 메시 전극이다. 1은 다결정 막이 형성된 투명한 절연성 기판이다.

이 장치에 이용하여, 550℃의 온도로 하부 2개의 확산표로 표시하는 것과 같이 수소가 20%, CHF_3 가 3%, Ar가 77%인 조성 가스를 흘리고, 고주파 전원 에 의해 플라즈마를 발생시켜 5시간 열처리를 한다.

(d) 이 방식에 의한 플라즈마에서는, 기판에는 거의 전입이 여기(勵起)되지 않으므로 주로 수소 또는 탄소의 레디칼(radical)(원자상 혹은 다가(多價)의 원자)이 기판에 흡착한다. 그런데, 탄소는 다결정 실리콘 박막 표면에 존재

하는 산화막을 엇칭제거하는 효과가 있고, 더욱이 이에 수반하여, 입계에 존재하는 산화물이나 산화막도 엇칭 제거한다. 또한, 연화산에 의해 입계의 상 표면에 나온 산화물도 제거한다. 그리고, 그들의 결과로서, 입계부에서는 청정한 실리콘 면이 노출하고, 실리콘 원자끼리 접촉하여 결정립의 성장이 발생하고, 더욱이 이 성장에 따라 표면의 요철(凹凸)도 작게 되고, 이에 따라 막질(膜質)의 개선과 표면형상의 개선이 동시에 이루어진다.

(d)에 모식적으로 나타내는 상태에서의 다결정 실리콘 박막의 라만 분광분석(分光分析)에 의한 막질을 측정한 결과를 도 11의 3에 나타낸다. 본 도에서 알 수 있듯이, 앞의 실시예 보다도 더욱 피크 강도가 크게 되고, 또한 피크 위치도 단 결정 실리콘의 피크 위치인 520cm

에 접근하고 있다. 그리고, 이에 따라 결정성이 충분히 개선된 것이 인정되어 진다.

그 후, 다른 실시예와 마찬가지로, 게이트 절연막, 게이트 전극막, 증간 절연막, 소스 전극막 및 드레인 전극막을 형성하여 박막 트랜지스터를 제작한다.

이상과 같이 하여 제작한 박막 트랜지스터는, 그 이동도가 약 $300\text{cm}^2/\text{V}\cdot\text{s}$, $V_{th} = 1.3\text{V}$ 로 되고, 종래 방법으로 제조한 박막 트랜지스터와 비교하여 특성이 크게 개선되었다.

또한, 종래 방법으로 제조한 박막 트랜지스터와 비교하여, 신뢰성도 약 250배의 개선을 보여준다.

본 실시예에서는, 외부 여기원 전극 구성의 고주파 전원을 이용했으나, 이것은 백자 내부에 있어서 좋은 것은 물론이다.

또한, 엇칭 장치와 같은 대향 전극방식으로 발생시킨 프라즈마에 다결정 실리콘 형성 투명절연 기판을 찍어도 좋은 것은 물론이다.

또한, 가열온도와 가열시간은 불소를 함유하는 가스의 경우와 다르기는 하나, 가스로써 수소 또는 수소가스를 함유하는 불활성 가스만을 이용하여도 좋은 것은 물론이다.

또한, 프라즈마도 자외선 조사 등 다른 수단으로 발생시켜도 좋은 것도 물론이다. 다음으로, 본 실시예와 앞의 실시예 5에서는, 실시예 1에서 4와 달리, 결정입계에 존재하는 산화물 등을 제거하고, 결정의 성장을 촉진한다고 하는 면에서는 버팀 게이트형의 트랜지스터에도 채용 가능하며, 또한 결정립의 성장에 따른 이동도의 향상이라고 하는 효과도 별다른 어려움 없이 얻어진다.

더욱이, 꼭 게이트형 적도는 아니나, 신뢰성 향상도 얻을 수 있는 것도 물론이다.

참고적으로, 도 9에 나타난 들 게이트형 트랜지스터에 대응한 버팀 게이트형의 트랜지스터를 도 13에 나타낸다.

이상, 본 발명을 몇개의 실시예에 기초하여 설명하였으나, 본 발명은 이에 한정되지 않는 것은 물론이다. 즉, 예컨대 본 발명과 같이 하고 있다.

1) 액정표시장치는, 동상의 워드프로세서에 이용되는 백라이트 부착의 광 루프홀이 아니고, 반사형이나 G.H. 셀을 사용한 투사 디스플레이형으로 하고 있다.

2) 반사형의 경우, 기판상 화소의 부분에 별도 반사막을 형성하는 등 번거롭기는 하나, 기판을 내열성이 우수한 금속이나 도기(陶器)의 막판으로 하고, 이에 맞춰서 실시예 5 및 6에 있어서 다결정 실리콘 박막의 열처리 온도를 $700^\circ\text{C} \sim 800^\circ\text{C}$ 로 올리고 있다.

3) 기판을 석영으로 하고, 다결정 실리콘 박막의 열처리 온도를 $700^\circ\text{C} \sim 800^\circ\text{C}$ 로 올리고 있다.

4) 액정표시장치는 게임기 등에 사용되는 것이며, 그 때문에 그 표시부나 구동 회로부는 기판 전면(全面)에 형성되는 것은 아니다. 더욱이, 아모르파스 실리콘 막은 기판 전면(全面)이 아니라, 표시부나 구동 회로부로 되는 영역상에 형성되어 있다.

5) 유리 기판의 기초 절연막은, 유리중의 알칼리 금속의 실리콘 내로의 확산의 확실한 방지 등을 위해, 단일 막이 아니라, 이산화규소와 질화규소의 적층 구조로 하고 있다.

6) 다결정 실리콘 박막의 틈과 결정입계의 부준어 오입의 양자를 제거하도록 하고 있다.

7) 소스 전극, 드레인 전극 하부의 티타늄 막은 도에서 나타내는 것보다 두껍게 하고 있다. 즉, 다른 금속을 사용한다든가 하고 있다. 더욱이, 양 전극을 단 1층의 금속재료로 형성하고 있다.

산업상이용가능성

이상의 설명에서 알 수 있듯이, 본 발명에 의하면, 탑 게이트형 트랜지스터에 있어서 아모르파스 실리콘 박막 등에 엑시마 레이저를 조사하여 다결정화를 할때, 실리콘 박막 표면에 발생하는 등기나, 입계의 부종어 오입이나 표면, 특히 등기부에 편식한 혼입물을 제거하는 것에 따라, 다결정화한 실리콘 박막 등의 게이트 절연막과의 계면을 평탄하고 고 순도의 상태로 한다. 이 때문에, 박막 트랜지스터의 특성 및 신뢰성이 크게 향상된다.

또한, 같은 탑 게이트형 트랜지스터에 있어서 다결정 실리콘 박막 등의 표면의 등기나 혼입물의 편식이 없어지는 것에 의해, 게이트 절연막과의 계면부(界面部)의 안정성, 재현성이 향상되고, 이에 따라 트랜지스터 소자의 특성이 향상되고, 또한 그 편차도 감소한다. 더욱이 신뢰성도 향상된다.

또한, 특히 탑 게이트형의 트랜지스터에 있어서 다결정화할 행한 실리콘 등의 박막을 550℃ 이상의 온도에서 수소, 수소를 함유하는 불활성가스 또는 수소와 불소를 함유하는 가스의 플라즈마 혹은 레디컨 중에서 가열하는 것에 의해 표면의 산화물을 제거하고 결정립의 성장을 촉진시켜, 그 막질(膜質)을 크게 향상시킨다.

이들을 위해, 트랜지스터 소자의 특성이 향상되고, 또한 그 편차의 저하가 달성된다. 더욱이 신뢰성도 향상된다.

또한, 트랜지스터의 절연 내성이 향상되므로, 게이트 절연막을 그 만큼 얇게 할 수가 있게 되고, T F T 특성이 한층 더 향상되게 된다.

또한, 불순물 이온의 주입도, 표면의 등기, 입계의 부종어 오입이 없는 분만큼 균일하게 되고, 이것 또한 트랜지스터의 특성의 향상으로 연결된다.

또한, 소스 전극, 드레인 전극의 하단과 반도체와의 전기적 접촉도 양호하게 된다.

(57)청구의 범위

청구항1

기판상에 형성된 비정질 반도체 박막에 레이저 광을 조사하여 다결정 반도체 박막으로 하는 레이저 어닐링 스텝과,

상기 다결정 반도체 박막을 완성한 반응성 가스에 쬘고, 더욱이 최소한 그 최종단계에 있어서는 플라즈마 여기(勵起) 혹은 자외선 조사에 의해 생성된 완성중(레디컬)만을 반응성 가스로서 이용하고, 그 표면층을 비 스퍼터링형의 �칭으로 제거하며, 아울러 평탄화하는 평탄 �칭스텝과,

상기 평탄 �칭 스텝의 전 혹은 후에 이루어지는 다결정 반도체 박막을 패턴화하는 패턴화 스텝을 가지고 있는 것을 특징으로 하는 탑 게이트형 박막 트랜지스터의 제조방법.

청구항2

제 1 항에 있어서,

상기 평탄 �칭스텝이 종료한 다결정 반도체 박막의 표면층 소정 위치에, 다층 구조의 게이트 전극 및 다층 구조의 드레인 전극의 최하층으로서의 실리콘사이드층을 형성하는 실리콘사이드층 형성 스텝을 가지고 있는 것을 특징으로 하는 탑 게이트형 박막 트랜지스터의 제조방법.

청구항3

기판상에 형성된 비정질 반도체 박막에 레이저 광을 조사하여 다결정 반도체 박막으로하는 레이저 어닐링 스텝과,

상기 다결정 반도체 박막 상에, �칭 가스에 의한 제거 속도가 다결정 실리콘과 같은 비감광성 별도 층질의 박막을 스피너 코트 혹은 도포에 의해 일면에 형성하여, 기판상 다결정 실리콘 박막 형성부분의 표면을 평탄화하는 평탄용 별도 물질 박막 형성스텝과,

상기 별도 물질 박막을 상기 다결정 반도체 박막의 전면이 노출하고, 더욱이 그 표면의 혼입물 함유층이 제거된 때까지 활성반응성 유체중에 쬘어서 �칭을 하여 제거하는 것에 의해, 상기 다결정 반도체 박막의 표면을 평탄화하는 평탄 �칭 스텝과,

상기 표면의 평탄화의 전 혹은 평탄화가 되어진 다결정 반도체 박막을 소정의 패턴 형상으로 가공하는 패턴화 스

탑을 가지고 있는 것을 특징으로 하는 습 게이트형 박막 트랜지스터의 제조방법.

청구항4

제 3 항에 있어서,

상기 평탄 오팅 스텝은, 반응성 유체로서 반응성 가스를 이용하는 평탄 드라이 오팅스텝인 것을 특징으로 하는 습 게이트형 박막 트랜지스터의 제조방법.

청구항5

제 4 항에 있어서,

상기 평탄 드라이 오팅스텝은, 적어도 그 전면에 노출된 단계에 있어서, 반응성 가스로써 플라즈마 여기(勵起) 혹은 자외선 조사에 의해 생성된 활성종(레디컬)만을 이용하는 종말(終末)한성종 사용 평탄 오팅스텝인 것을 특징으로 하는 습 게이트형 박막 트랜지스터의 제조방법.

청구항6

제 5 항에 있어서,

상기 종말 활성종 사용 평탄 오팅스텝이 종료한 다결정 반도체 박막의 표면층 소정 위치에, 다층구조의 게이트 전극 및 다층 구조의 드레인 전극의 최하층으로서 실리콘사이드층을 형성하는 실리콘사이드층 형성스텝을 가지고 있는 것을 특징으로 하는 습 게이트형 박막 트랜지스터의 제조방법.

청구항7

제 1 항 내지 제 6 항중 어느 한 항에 있어서,

상기 레이저 아닐링 스텝에 앞서 기판 상으로의 비정질 반도체 박막을 형성함에 있어서, 비정질 반도체의 재료로서, 실리콘, 실리콘-게르마늄, 혹은 실리콘-게르마늄-탄소를 선정하는 실리콘계 반도체 재료의 선정스텝을 가지고 있는 것을 특징으로 하는 습 게이트형 박막 트랜지스터의 제조방법.

청구항8

기판 상 박막 반도체 소자가 형성되지 않은 영역에 반도체 보다도 고 경도인 물질의 박막을 정도(精度) 좋은 두께로 형성하는 고 경도 박막 형성스텝과,

상기 고 경도인 물질의 박막이 형성된 부분을 포함하여 기판 상에 비정질 반도체 박막을 형성하는 비정질 반도체 박막 형성스텝과,

상기 형성된 비정질 반도체 박막을 레이저 광을 조사하여 다결정 반도체 박막으로 하는 레이저 아닐링 스텝과,

상기 고 경도인 물질의 박막 표면이 노출되고, 연마의 저항이 크게 변화할 때까지 상기 다결정 반도체 박막이 형성된 기판면을 그 평면성을 유지하면서 연마하는 연마스텝을 가지고 있는 것을 특징으로 하는 습 게이트형 박막 트랜지스터의 제조방법.

청구항9

제 8 항에 있어서,

상기 비정질 반도체 박막 형성스텝은, 비정질 반도체 박막을 고 경도 물질의 박막보다도 두껍게 형성하는 상대적으로 두꺼운 비정질 반도체 박막 형성스텝인 것을 특징으로 하는 습 게이트형 박막 트랜지스터의 제조방법.

청구항10

제 8 항 또는 제 9 항에 있어서,

상기 고 경도 박막 형성스텝은, 질화규소, 산화질화규소, 산화알루미늄 혹은 산화티타늄의 박막을 형성하는 특정 물질 박막 형성스텝인 것을 특징으로 하는 습 게이트형 박막 트랜지스터의 제조방법.

청구항11

제 8 항 또는 제 9 항에 있어서,

상기 고 경도 박막 형성스텝은, 고 경도 물질인 박막의 두께를 $0.1\mu\text{m}$ 이하로 하는 $0.1\mu\text{m}$ 이하의 막 형성스텝인 것을 특징으로 하는 습 게이트형 박막 트랜지스터의 제조방법.

청구항12

제 10 항에 있어서,

상기 고 경도 박막 형성스텝은, 고 경도인 박막의 두께를 $0.1\mu\text{m}$ 이하로 하는 $0.1\mu\text{m}$ 이하 막 형성스텝인 것을 특징으로 하는 얇 게이트형 박막 트랜지스터의 제조방법.

청구항13

제 8 항 또는 제 9 항에 있어서,

상기 비정질 반도체 박막 형성스텝은, 형성하는 비정질 반도체 박막의 재료가, 실리콘, 실리콘-게르마늄 혹은 실리콘-게르마늄-탄소인 실리콘계 박막 형성 스텝인 것을 특징으로 하는 얇 게이트형 박막 트랜지스터의 제조방법.

청구항14

제 10 항에 있어서,

상기 비정질 반도체 박막 형성스텝은, 형성하는 비정질 반도체 박막의 재료가, 실리콘, 실리콘-게르마늄, 혹은 실리콘-게르마늄-탄소인 실리콘계 박막 형성스텝인 것을 특징으로 하는 얇 게이트형 박막 트랜지스터의 제조방법.

청구항15

제 11 항에 있어서,

상기 비정질 반도체 박막 형성스텝은, 형성하는 비정질 반도체 박막의 재료가, 실리콘, 실리콘-게르마늄, 혹은 실리콘-게르마늄-탄소인 실리콘계 박막 형성스텝인 것을 특징으로 하는 얇 게이트형 박막 트랜지스터의 제조방법.

청구항16

제 12 항에 있어서,

상기 비정질 반도체 박막 형성스텝은, 형성하는 비정질 반도체 박막의 재료가, 실리콘, 실리콘-게르마늄, 혹은 실리콘-게르마늄-탄소인 실리콘계 박막 형성스텝인 것을 특징으로 하는 얇 게이트형 박막 트랜지스터의 제조방법.

청구항17

제 13 항에 있어서,

상기 연마스텝이 중요한 다결정 반도체 박막의 표면층 소정 위치에, 다층 구조의 게이트 전극 및 다층 구조의 드레인 전극의 최하층으로서의 실리사이드층을 형성하는 실리사이드층 형성스텝을 가지고 있는 것을 특징으로 하는 얇 게이트형 박막 트랜지스터의 제조방법.

청구항18

제 1 4 항 내지 제 16 항중 어느 한 항에 있어서,

상기 연마스텝이 중요한 다결정 반도체 박막의 표면층 소정 위치에, 다층 구조의 게이트 전극 및 다층 구조의 드레인 전극의 최하층으로서의 실리사이드층을 형성하는 실리사이드층 형성스텝을 가지고 있는 것을 특징으로 하는 얇 게이트형 박막 트랜지스터의 제조방법.

청구항19

기판 상에 형성된 비정질 반도체 박막에 레이저 광을 조사하여 다결정 반도체 박막으로 하는 레이저 어닐링 스텝과,

상기 다결정 반도체 박막을, 결정립의 성장과 결정립의 입계, 표면의 혼입물의 화학적반응에 의한 제거를 목적으로 하여 550°C 이상의 온도, 소정 분위기 하에서 열처리한 하는 열처리스텝과,

상기 열처리 전 혹은 열처리가 중요한 나결정 반도체 박막을 소정의 형상으로 가공하는 패턴 형성스텝을 가지고 있는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항20

제 19 항에 있어서,

상기 열처리스텝은, 수소가스를 포함하는 분환경 가스 분위기 중에서 하는 수소 함유 분위기 중의 열처리스텝인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항21

제 20 항에 있어서,

상기 열처리시스템은, 수소 혹은 수소를 포함하는 불활성 가스의 플라즈마 분위기중, 수소 및 불소를 포함하는 가스의 플라즈마 분위기 중, 수소의 활성 여기종(勵起種, 레디컨)을 포함하는 가스 분위기 중 혹은 수소 및 불소의 활성 여기종(勵起種, 레디컨)을 포함하는 가스 분위기 중에서, 레디컨만이 작용하도록 기판을 유지하여 열처리를 하는 독정유지 분위기 중의 열처리시스템인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항22

제 19 항 내지 제 21 항중 어느 한 항에 있어서,

상기 레이어 어닐링 스텝에 앞서 기판 상으로의 비정질 반도체 박막을 형성함에 있어서,

비정질 반도체의 재료로서, 실리콘, 실리콘-게르마늄 혹은 실리콘-게르마늄-탄소를 선정하는 실리콘계 반도체 재료의 선정스텝을 가지고 있는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항23

제 19 항 내지 제 21 항중 어느 한 항에 있어서,

상기 열처리시스템이 종료한 다결정 반도체 박막의 표면층 소정 위치에, 다층구조의 게이트 전극 및 다층 구조의 드레인 전극의 최하층으로서의 실리사이드층을 형성하는 실리사이드층 형성스텝을 가지고 있는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항24

제 22 항에 있어서,

상기 열처리시스템이 종료한 다결정 반도체 박막의 표면층 소정 위치에, 다층 구조의 게이트 전극 및 다층 구조의 드레인 전극의 최하층으로서의 실리사이드층을 형성하는 실리사이드층 형성스텝을 가지고 있는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항25

제 19 항 내지 제 21 항 또는 제 24 항중 어느 한 항에 있어서,

상기 제조하는 박막 트랜지스터는, 틈 게이트형인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항26

제 22 항에 있어서,

상기 제조하는 박막 트랜지스터는, 틈 게이트인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항27

제 23 항에 있어서,

상기 제조하는 박막 트랜지스터는, 틈 게이트형인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항28

기판 상, 다결정 반도체 박막이 형성되어 있지 않은 영역 혹은 이에 부가하여 다결정 반도체 박막의 기판측으로, 고 경도 층질의 박막을 가지고 있는 것을 특징으로 하는 틈 게이트형 박막 트랜지스터.

청구항29

제 28 항에 있어서,

상기 고 경도 층질의 박막은, 진화규소, 산화진화규소, 산화암모니움 혹은 산화티타늄의 박막인 것을 특징으로 하는 틈 게이트형 박막 트랜지스터.

청구항30

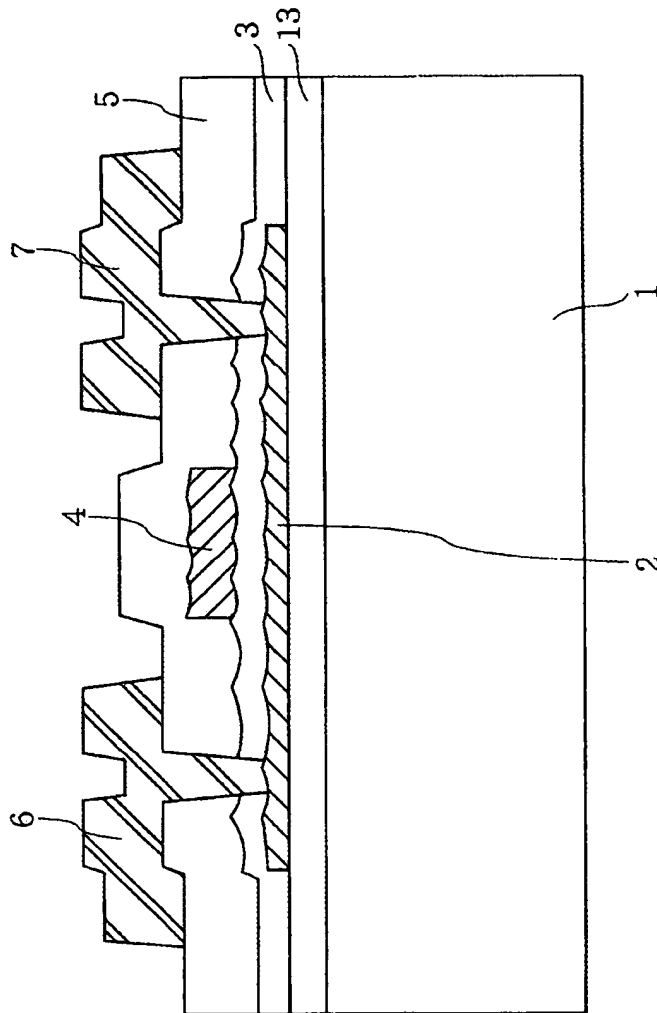
제 29 항에 있어서,

상기 다결정 반도체 박막의 표면층 소정 위치에, 다층 구조의 게이트 전극 및 다층 구조의 드레인 전극의 최하층으

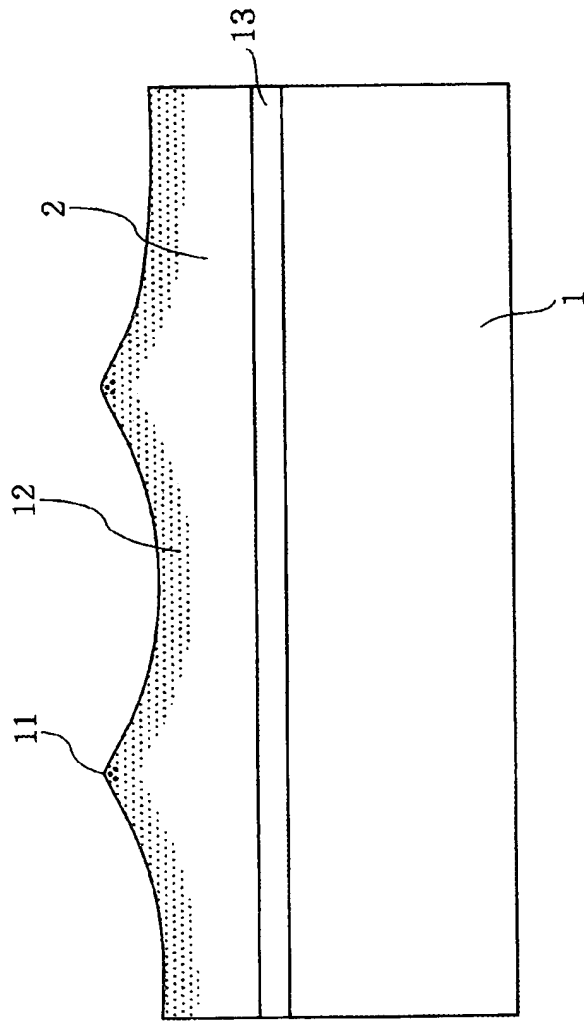
로써의 신리사이드층을 가지고 있는 것을 특징으로 하는 박막 트랜지스터.

도면

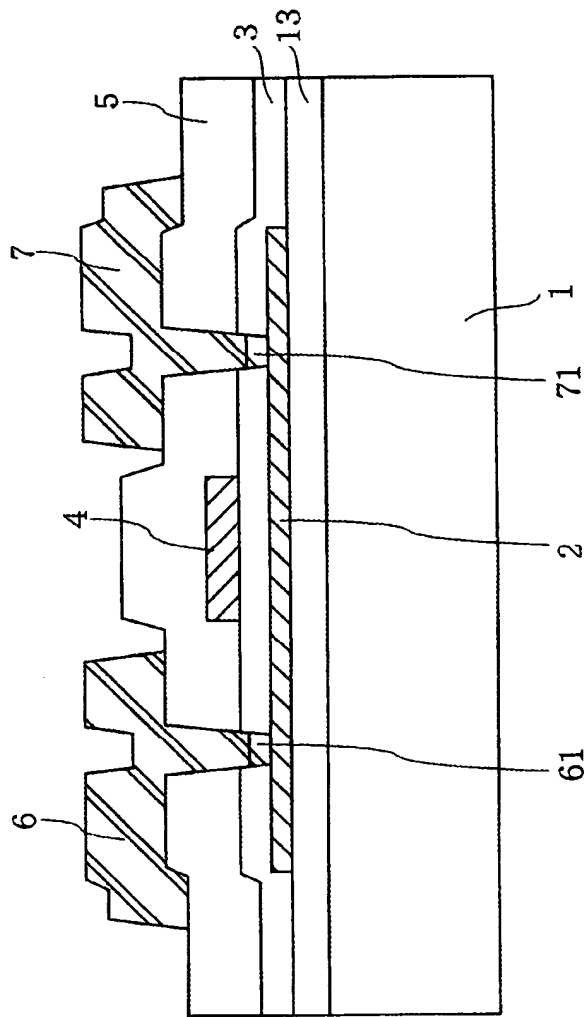
도면1



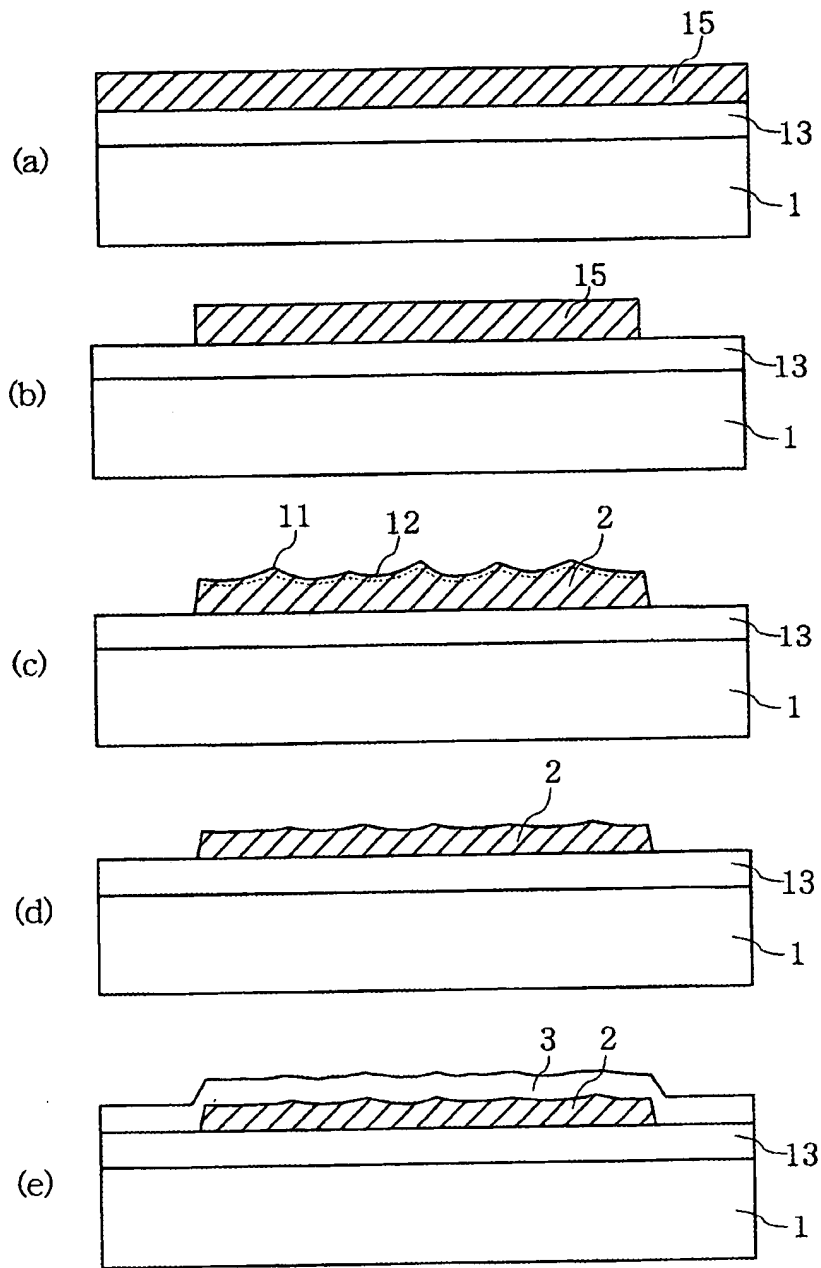
도면2



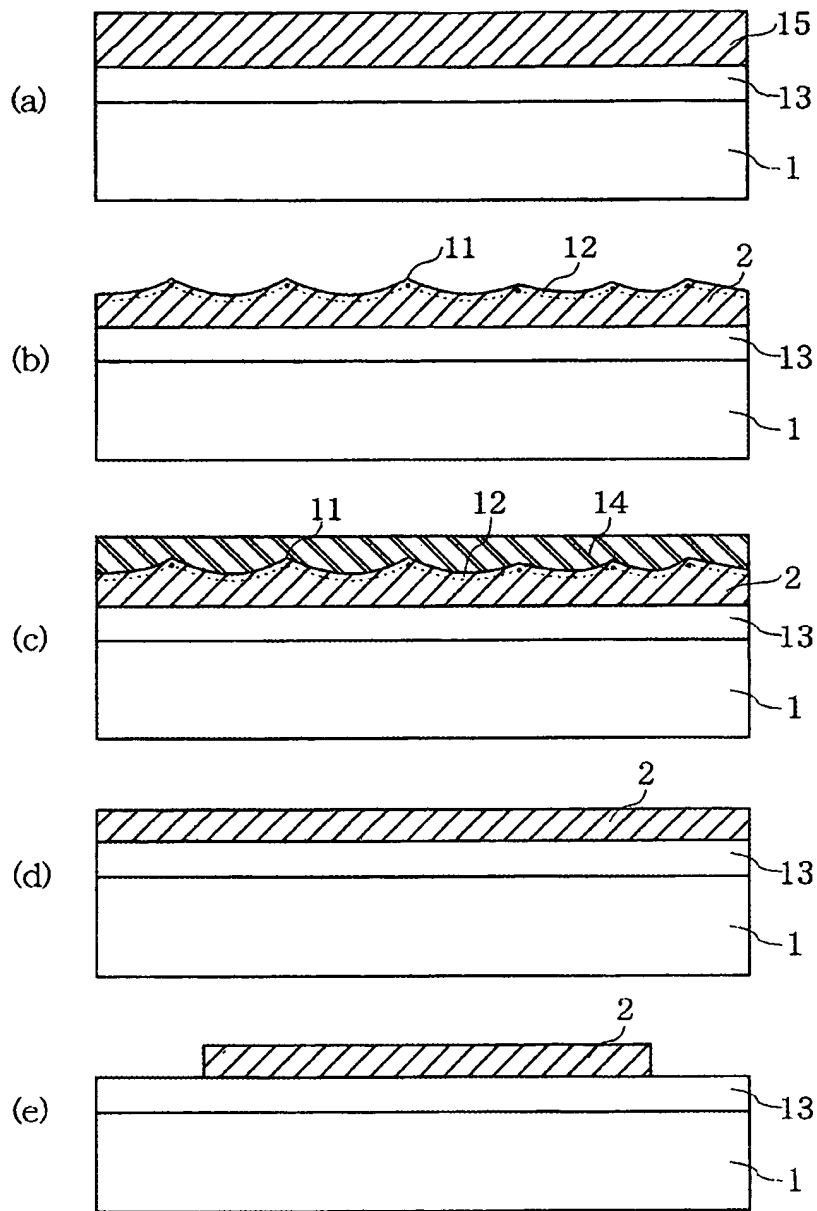
도면3



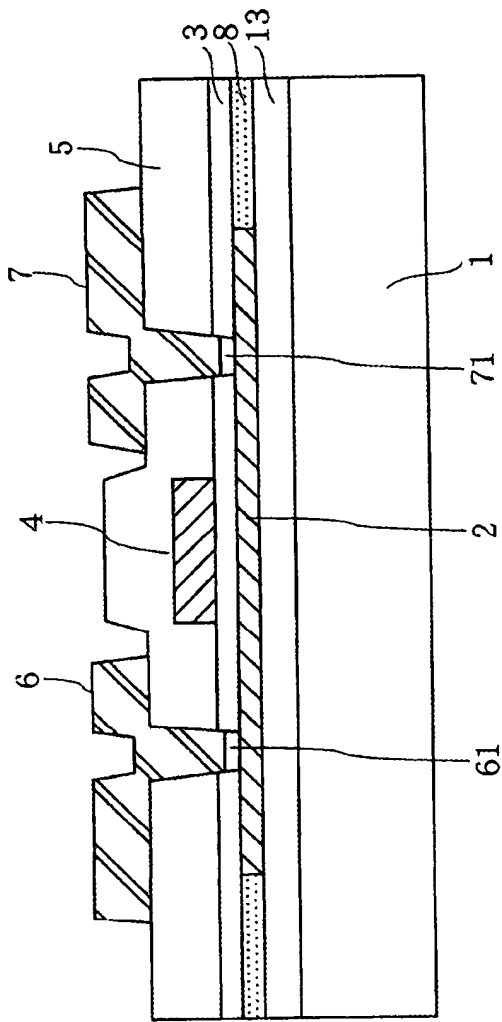
도면4



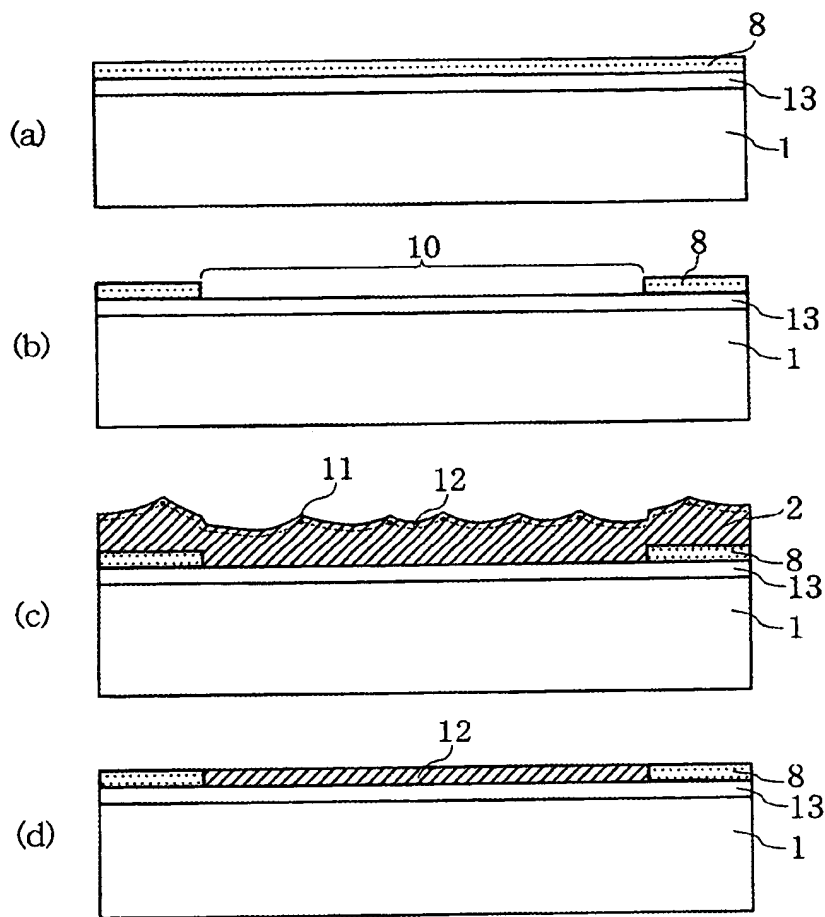
도면5



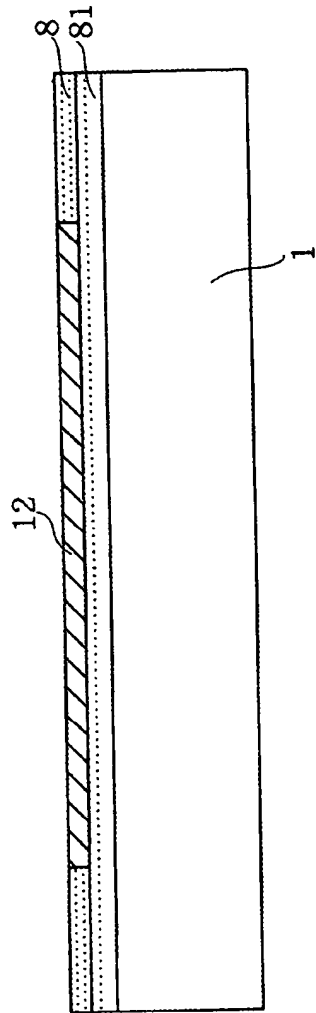
도면6



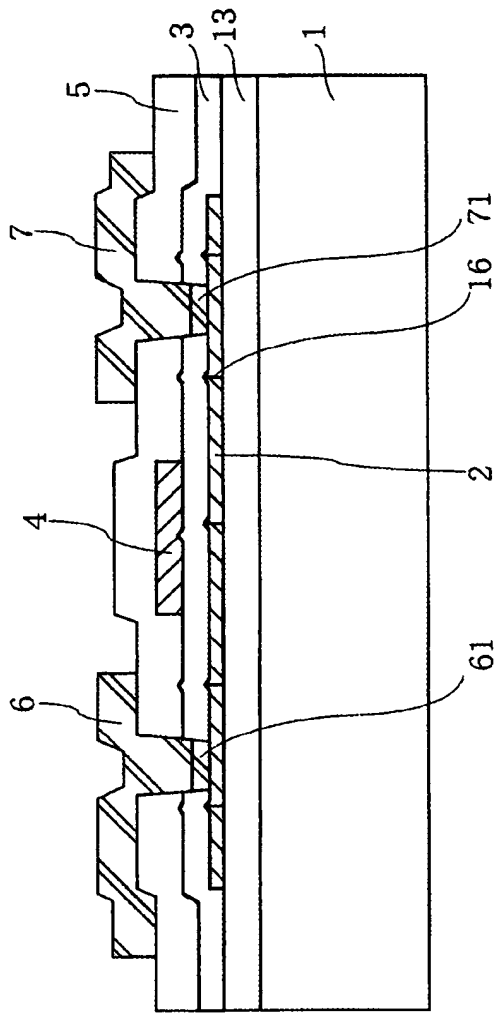
도면7



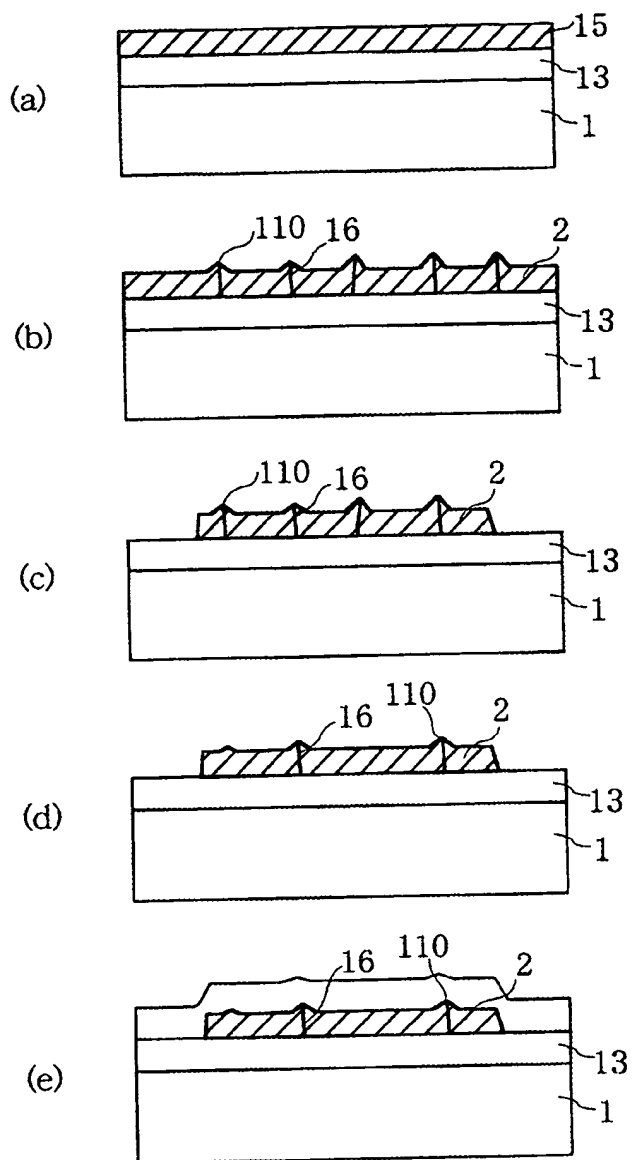
도면8



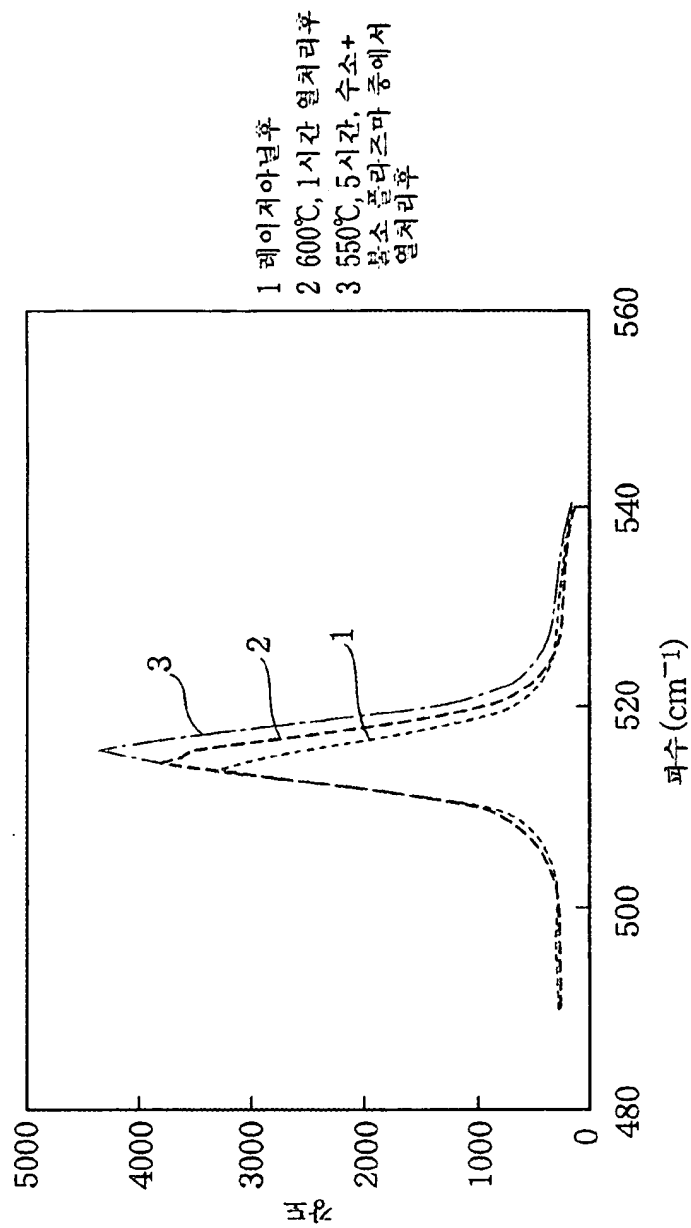
도면9

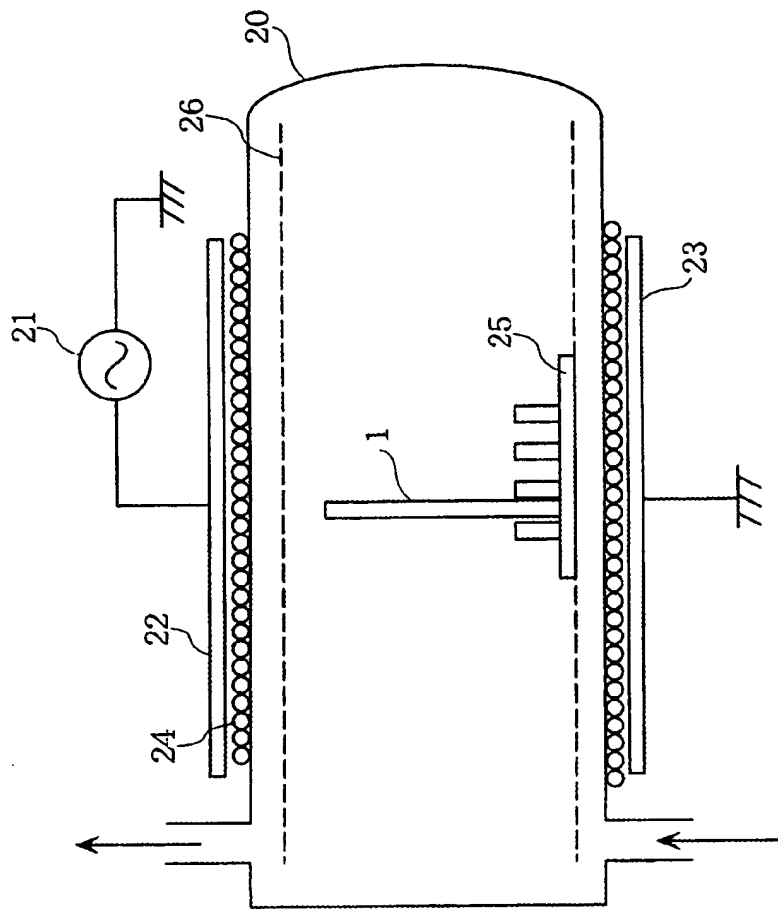


도면10

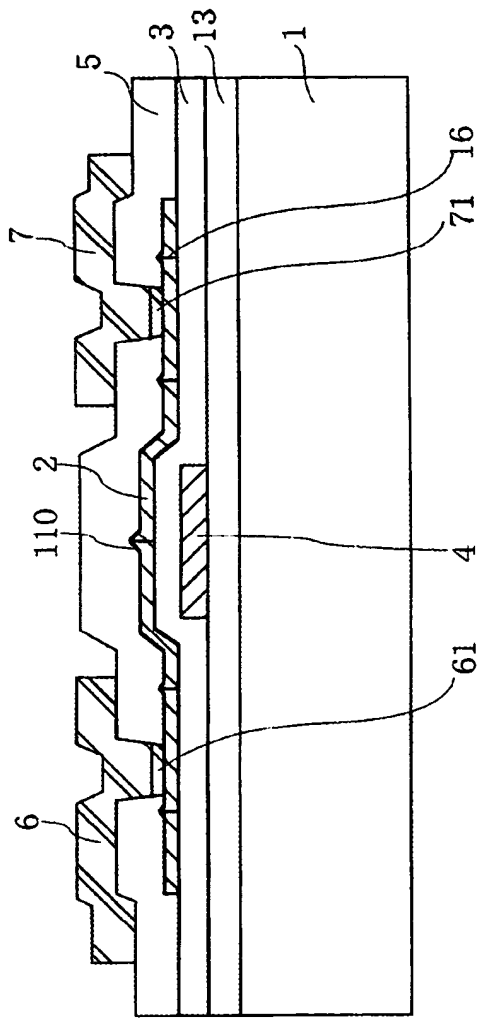


도면11





도면13



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.